

Publication number: KR1999-0088504

Date of publication of application: 27.12.1999

Application number: KR1999-0018653

Date of filing: 24.05.1999

## Thin Film Transistor and Method of Manufacturing the Same

### Abstract

In a large liquid crystal display (LCD) panel having a high pixel density, an insulating layer remains by under-etching thereof or over-etching the insulating layer deteriorates a semiconductor layer beneath during a process of forming contact holes to source and drain electrodes of thin film transistors. Thus, the present invention provides a thin film transistor that has a double-layered silicon insulating layer to have a large thickness in a contact portion. Further in the present invention, a silicide layer is located between the metal electrodes and the semiconductor layer such that the source and drain electrodes electrical-contacts the semiconductor layer more surely.

특 1999-0088504

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 29/786	(11) 공개번호 (43) 공개일자	특 1999-0088504 1999년 12월 27일
(21) 출원번호	10-1999-0018653	
(22) 출원일자	1999년 05월 24일	
(30) 우선권주장	98-143892 1998년 05월 26일 일본 (JP) 99-019535 1999년 01월 28일 일본 (JP)	
(71) 출원인	마쯔시다덴기산교 가부시키가이샤 모리시타 요미찌	
(72) 발명자	일본국 오사카후 가도마시 오아자 가도마 1006반지 카와키타테츠오 일본국 교토후교타나베시 카스미사카 3-5-10 쿠라마스케 이자부로 일본국 교토후교타나베시 오스미가오카 3-12-2 이쿠다 시게오 일본국 오사카후 히라카타시 나가오타니마치 2-3-1-914 임석재, 윤우성	
(74) 대리인	임석재, 윤우성	

상사 청구 : 있음

(54) 박막 트랜지스터 및 그 제조 방법

요약

본 발명의 목적은, (1) 근래의 대형이며 또한 화소밀도가 높은 대형 액정패널 등에 사용되는 작은 박막 트랜지스터의 소스 및 드레인 전극층의 콘택트홀 형성에 있어서, 에칭부족에 의한 절연막이 남거나 또는 오버에칭에 의한 반도체층의 소실이 발생하는 것을 방지한다.

(2) 소스전극, 드레인전극의 반도체층과의 확실한 전기적 접촉을 도모하는 것.

이상의 (1)과 (2)에 있다.

그것을 위해, (1) 콘택트홀부의 실리콘막을 2층구성 등으로 하여 미리 두껍게 형성한다.

(2) 전극금속과 반도체사이에 실리콘사이드층을 마련한다.

도면도

도 3

발명서

도면의 간단한 설명

도 1은, 종래의 TFT의 단면 구조도,

도 2는, 종래의 박막 트랜지스터의 제조방법에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면,

도 3은 본 발명의 제1실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면,

도 4는, 본 발명의 제2실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면,

도 5는, 본 발명의 제3실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면,

도 6은, 본 발명의 제4실시의 형태로서의 박막 트랜지스터(바람게이트형)의 단면구조도,

도 7은, 본 발명의 제5실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면,

도 8은, 본 발명의 제6실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면,

도 9는, 본 발명의 제7실시의 형태로서의 박막 트랜지스터(바람게이트형)의 단면구조도,

도 10은, 본 발명의 제8실시의 형태로서의 박막 트랜지스터의 단면구조도,

도 11은, 본 발명의 제9실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면,

도 12는, 본 발명의 제10실시의 형태에 있어서, 트랜지스터가 형성되어 가는 모양을 나타내는 도면이다.

<도면 부호의 설명>

- |                    |                             |
|--------------------|-----------------------------|
| 1 . . . 글래스기판,     | 2 . . . SiO <sub>2</sub> 막, |
| 3, 4 . . . 실리콘막,   | 5 . . . 게이트절연막,             |
| 6 . . . 게이트전극,     | 7 . . . 층간절연막,              |
| 8 . . . 레지스트패턴,    | 9 . . . 콘택트홀,               |
| 10 . . . 소스전극,     | 11 . . . 드레인전극,             |
| 15, 22 . . . 티탄막,  | 16, 23 . . . 알루미늄 합금막,      |
| 17 . . . 티탄실리사이드막, | 40 . . . 실리콘층,              |

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 박막트랜지스터에 관한 것으로서, 특히 액정디스플레이 등에 사용되는 기판 상에서 소정의 배열로 형성된 박막트랜지스터 소자나 그 제조방법에 관한 것이다.

현재, 멀티미디어 기기나 휴대, 통신기기에는 매우 많은 액정표시장치가 사용되어 오고 있다. 그리고, 이들의 전자기기에 채용되고 있는 액정표시장치는 점차 고해상도화, 즉 화소의 미세, 고성능화가 요구되게 되고 있다.

특히, 박막트랜지스터(소자, 이하 TFT라고도 한다)를 사용한 액정표시부에서는 화소부나 그 구동회로를 구성하는 TFT의 사이즈의 축소가 진행되어 오고 있다.

이하, 종래 사용되어 오고 있는 화소부의 TFT 중, 통게이트라고 불리는 형의 구조의 일례를 도 1에 나타낸다.

본 도면에 나타내는 바와 같이, 글래스 기판(1) 상에는 언더코트 층으로서의 SiO<sub>2</sub>막(2)이 형성되어 있고, 그 위에 비결정질 실리콘(amorphous silicon)을 레이저어닐링에 의해 다결정화한 실리콘으로 이루어지는 반도체층(재료)(3)이 형성되어 있다. 그리고 채널을 형성하는 부분에 게이트 절연막(5)이 형성되고, 그 위에 게이트전극(6)이 형성되며, 또 그 위에 층간절연막(7)이 형성되어 있다. 또한, 이 층간 절연막의 역할은, 기판 상에 다수 형성된 각 트랜지스터소자의 소스전극선, 드레인전극선과 반도체층이 접촉하는 것을 방지하는 것, 화소전극등의 쇼트를 방지하는 것 등에 있다.

또한, 소스전극과 드레인전극을 사이에 둔 영역인 채널의 양단부의 층간 절연막에 반도체층(3)에 도달할 때까지의 콘택트홀(9)이 형성되어, 이 부분에 금속으로 이루어지는 소스전극(10)과 드레인전극(11)이 형성되어 있다.

그리고, 소스전극과 드레인 전극에 접촉하는 부분의 반도체층(31, 32)에는 이온도핑 등에 의해 3가 또는 5가의 불순물원자가 도핑되어 그 표면층이 저저항화되어 있다.

또한 이것은, 반도체층과 금속층이 접촉할 때에 발생하는 전기적 장벽을 크게 완화시켜 콘택트저항의 저감을 도모하기 위함이다.

그러나, 본 도 1에 나타내는 구조에서는 금속 또한 TFT의 미세화와 패널사이즈의 대형화가 진행된 경우에, 이하에 설명하는 문제가 발생한다.

우선 구조의 면에서이나, 미세화가 진행하면 소자 전체의 치수가 작게 되므로, 반도체층과 금속층의 접촉면적도 작게 된다. 따라서, 이와 반대로 콘택트저항이 크게 된다. 그런데, 이 콘택트 저항은 박막트랜지스터의 구동능력에 크게 영향을 미치고, 이 값이 크게 되면 구동능력이 저하한다.

그리고, 장래의 TFT의 점차의 소형화 아래 이와 같은 경향이 증가하면, 기판 상에 TFT를 배열한 경우, 신호를 공급하는 측으로부터 먼 위치에 있는 트랜지스터는 작동하지 않고, 이 때문에 화소에 충분한 전하를 충전할 수 없어 화상이 비치지 않는다고 하는 현상이 나타난다.

다음에, 제조의 면에서이나, 콘택트홀의 형성이 곤란하게 되어 간다.

이하 도 2를 참조하면서 이것을 설명한다.

(a) 다결정화된 반도체 박막(3) 상에 게이트절연막(5)이 형성되며, 그 위에 게이트전극(6), 층간 절연막(7)이 형성되어 있다.

(b) 소스전극과 드레인 전극을 형성하기 위해 콘택트홀을 형성하게 되지만, TFT의 치수가 작게 됨에 따라 이 콘택트홀의 직경도 10 $\mu$ m이하, 근래는 수 $\mu$ m를 목표로 하며, 장래는 1 $\mu$ m정도로 될 것으로 예상된다. 따라서, 콘택트홀을 습식에칭으로 형성하는 것은 그 직경의 치수를 내는 등의 면에서 곤란(현 시점에서는 물론, 가까운 장래에 있어서도 꼭 2, 3 $\mu$ m정도의 오차가 발생한다)하며, 건식에칭으로 행하게 된다.

그리고, 그것을 위해서는 우선 각 전극을 형성하는 영역에 개구(80)를 가진 레지스트패턴(8)을 형성한다.

(c) 이 개구 아래의 층간 절연막 및 게이트 절연막을 에칭가스로 제거해가게 것으로 된다. 또한 이 때 사용되는 가스(21)는, 예컨대  $CF_4$ 와  $CHF_3$ 와  $O_2$ 의 혼합가스이며, 반응성 이온에칭(RIE)을 행한다.

그런데, 이 에칭에 사용하는 가스는 Si계(그 외, Si-Ge, Si-Ge-C)계의 재료를 에칭할 때에 사용되고 있는 것이며, 층간절연막이나 게이트산화막 등의 산화막과 Si의 양쪽도 에칭한다. 따라서, 소스전극이나 드레인전극을 형성하기 위한 콘택트홀을 만들 때에는 산화막과 Si의 선택비를 높게 한 조건(전자가 에칭하기 쉬운 조건)을 설정할 필요가 있다.

그러나, 완전히 산화막만을 에칭하고, Si는 에칭하지 않는 조건을 설정하는 것은, 양 물질이 화학적으로 가까운 성질을 가지기 때문에, 본원 출원시점은 말할 것도 없이 가까운 장래에 있어서도 곤란하다.

그 결과, 기판 전체에 걸쳐 콘택트홀 저부에 층간절연막과 게이트절연막으로서 형성된 산화막(5, 71)을 전부 남기지 않고 깨끗하게 에칭하기 위해서는, 그 아래의 반도체층(Si)까지 다소 에칭할 필요가 있다.

그러나, 근래의 TFT에서의 소형화로 인하여 요청뿐만 아니라 글래스기판 상에 레이저 조사에 의해 비결정질실리콘을 용융, 재결정하는 것, 또 이때 TFT의 전계효과이동도의 향상 등의 성능의 면에서 할 수 있는 한 큰 결정, 바람직하게는 단결정화한다고 하는 요청에서, 이 실리콘층은 1000Å이하, 바람직하게는 300~600Å, 특히 500Å 전후로 박막화해 나간다.

따라서, 이 에칭 시 산화막의 두께의 편차나 에칭율의 편차가 크면, 반도체층이 지나치게 에칭되어, 도 2(d)에 나타내는 바와 같이 얇게 되거나, 심한 경우에는 소실되거나 하는 장소(30)가 발생한다든지 하는 일이 발생한다.

또한, 얇게 되거나 하지 않더라도, 당해 콘택트홀 저부의 반도체층은 대미지를 받아 고저항층(33)을 형성한다든지 한다.

그렇게 되면, 콘택트홀 저부의 직경이 작은 경우에 특히 그렇지만, 하부의 반도체층과 소스전극이나 드레인전극의 콘택트저항이 매우 높게 되거나, 도통(導通)이 되지 않게 되거나 하여 접촉불량을 일으킨다.

특히, 근래의 액정패널의 대형화, 이 한편에서 화소의 밀도의 증대 등에 따르는 TFT의 미세화와 개수의 증대화의 아래, 이 문제는 중대하다.

그렇다고 해서, 반도체층을 두껍게 형성하거나, 에칭할 때에 절연막에만 그리고 양호하게 작용하는 어느 다른 가스를 사용하는 것은 현시점은 물론, 가까운 장래도 곤란하다.

또한, 바텀게이트형의 트랜지스터에 있어서도 마찬가지로의 문제가 있다.

이 때문에, 어떤 형의 TFT, 트랜지스터에 있어서도 그 미세화를 도모할 때에, 콘택트저항이 높게 되지 않고, 게다가 콘택트홀 형성시의 에칭도 용이한 TFT나 그 제조방법의 개발이 기대되고 있었다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은, 이상의 과제를 감안하여 이루어진 것이며, 제1의 발명군은 반도체 막의 소스전극 및 드레인전극과 접하는 영역이나 그 근방만을 채널영역에서도 두껍게 형성하는 것으로 하고 있다. 이것에 의해 TFT의 소자로서의 성능의 우수성을 확보하면서 건식에칭으로 넓은 기판에 콘택트홀 형성 시에 다소의 오버에칭으로 반도체층이 소실하는 것을 방지하고, 아울러 낮은 콘택트저항을 확보하고 있다.

또한, 제2의 발명군은 반도체막과 소스전극 및 드레인전극의 사이에 얇은 실리사이드 막을 형성하는 것으로 하고 있다. 이것에 의해 각 전극과 반도체막의 전기적 접촉을 확실하게 하고, 아울러 층간 절연막의 에칭시에 에칭스톱퍼로서의 역할을 담당하고 있다.

#### 발명의 구성 및 작용

구체적으로는 이하의 구성으로 하고 있다.

제1의 발명군의 청구항 1에 있어서는, 채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체박막과, 층간절연막과, 게이트절연막과, 바텀게이트형이라면 층간 절연막에 톱게이트형이라면 이것에 가하여 게이트절연막에도 형성된 콘택트홀을 통하여(이용하여) 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는 기판 상에 형성된 박막트랜지스터의 제조방법으로서, 반도체 박막의 적어도 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역(포함하는, 그 근방 1~2 $\mu$ m의 주위. 또한, 현시점에서는 제조기술 상의 제약도 있고, 이 경우나 더 넓은 경우가 많을 것임)을 채널영역보다도 예컨대 2(1.5~2.5, 바람직하게는 1.85~2.15)배 정도 또는 300(200~400, 바람직하게는 270~330)Å 정도 두껍게 형성하는 비채널영역 두께증가 형성스텝을 가지고 있다.

또한 만약을 위해 기재하면, 다른 발명에서도 그러하지만 기판 상의 반도체에 대하여 TFT로서 충분히 작용하도록 수소의 추출, 레이저어닐링, 당링(single tire)본드의 결합, 도핑 등의 처리가 필요에 따라 적절한 것은 물론이다.

청구항 2의 발명에서는 청구항 1의 발명의 비채널영역 두께증가 형성스텝은, 반도체 박막의 적어도 소스전극 및 드레인전극과 접하는 영역을 복수회(소요공정수를 적게 하기 위해, 원칙은 2회)의 성막공정에 의해 다른 부분보다 두껍게 형성하는 복수회 성막스텝이다.

청구항 3의 발명에 있어서는 기판 상의 소스전극 및 드레인전극에 대응한 위치에만 제1의 반도체 박막을

형성하는 제1 반도체 박막형성스텝과, 형성된 제1의 반도체 박막을 덮어 제2의 반도체 박막을 박막트랜지스터 형성부에만 선택적으로 형성하는 제2 반도체박막 형성스텝과, 형성된 제2의 반도체 박막을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과, 형성된 게이트절연막의 상부에 게이트전극을 형성하는 게이트전극 형성스텝과, 형성된 게이트절연막과 게이트 전극을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과, 형성된 게이트절연막 및 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식예칭으로 각 소자마다 2개의 콘택트홀을 충분한 정밀도 치수로 형성하는 콘택트홀 형성스텝과, 형성된 콘택트홀을 1개씩 사용하여 그 내부에 상기 반도체 박막에 접속된 소스전극, 드레인전극을 각 소자마다 각 1개 형성하는 전극형성스텝을 가지고 있다.

청구항 4의 발명에서는, 청구항 3의 발명이 통게이트형의 박막트랜지스터를 대상으로 하고 있는 것에 대하여, 바텀게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것이다. 이 때문에 트랜지스터의 제조 등의 상위에 근거하여, 각 스텝의 순번 등에 상위는 있지만, 중요한 스텝은 동일하게 이루어지며, 동일한 효과를 발휘하게 된다.

청구항 5의 발명에 있어서는 기판상의 소정의 위치에 제1의 반도체 박막을 형성하는 제1 반도체박막 형성스텝과, 형성된 제1의 반도체 박막 상의 소스전극 및 드레인전극에 대응한 위치(물론, 다소의 여유를 보아 양 전극의 외주부에도 형성하는 경우를 포함한다)에만 제2의 반도체박막을 형성하는 제2 반도체박막 형성스텝과, 형성된 제1과 제2의 반도체 박막을 덮어 게이트 절연막을 형성하는 게이트절연막 형성스텝과, 형성된 게이트절연막의 상부에 게이트 전극을 형성하는 게이트전극 형성스텝과, 형성된 게이트절연막과 게이트전극을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과, 형성된 게이트절연막과 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식예칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과, 형성된 콘택트홀 내에 반도체 박막에 접속된 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있다.

청구항 6의 발명에서는, 청구항 5의 발명이 통게이트형의 박막트랜지스터를 대상으로 하고 있는 것에 대하여, 바텀게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것이다. 이 때문에 트랜지스터 구조 등의 상위에 근거하여, 각 스텝의 순번 등에 상위는 있지만, 중요한 스텝은 동일하게 이루어지며, 동일한 효과를 발휘하게 된다.

청구항 7의 발명에서는, 예컨대 14~20 인치 정도의 액정표시장치용의 글래스 기판 상에 반도체박막을 부래 필요로 되는 막두께보다도 두껍게 형성하는 반도체박막 형성스텝과, 형성된 반도체 박막의 소스전극 및 드레인전극에 대응한 영역만을 남기고 다른 영역을 본래의 TFT의 채널영역으로서 필요한 두께로 되도록 반응제거 등하여 얇게 가공하는 박막화 스텝과, 얇게 가공된 반도체박막을 덮어 게이트절연막을 형성하는 게이트절연막 형성스텝과, 형성된 게이트절연막의 상부에 게이트전극을 형성하는 게이트전극 형성스텝과, 형성된 게이트 전극과 게이트 절연막을 덮어 층간절연막을 형성하는 층간절연막 형성스텝과, 형성된 게이트절연막과 층간절연막의 소스전극, 드레인전극에 대응한 위치에 건식예칭으로 콘택트홀을 형성하는 콘택트홀 형성스텝과, 형성된 콘택트홀 내에 반도체박막에 접속된(되는 것으로 되는) 소스전극, 드레인전극을 형성하는 전극형성스텝을 가지고 있다.

청구항 8의 발명에서는, 청구항 7의 발명이 통게이트형의 박막트랜지스터를 대상으로 하고 있는 것에 대하여, 바텀게이트형의 박막트랜지스터를 대상으로 하여 이루어진 것이다. 이 때문에 트랜지스터의 구조 등의 상위에 근거하여 각 스텝의 순번 등에 상위는 있지만, 중요한 스텝은 동일하게 이루어지며, 동일한 효과를 발휘하게 된다.

청구항 9의 발명에서는, 채널영역, 소스영역 및 드레인영역으로 이루어지는 반도체 박막과, 층간절연막과, 게이트절연막과, 바텀게이트라면 층간절연막에 통게이트라면 이것에 가하여 게이트절연막에도 형성된 콘택트홀을 통하여 반도체박막에 접속되는 소스전극 및 드레인전극을 가지는 기판 상에 형성된 박막트랜지스터로서, 상술한 각 제조방법의 발명으로 제조하였기 때문에, 반도체 박막의 소스전극 및 드레인전극과 접속하기 위한 콘택트홀이 형성되는 영역을 채널영역의 외주부보다도 두껍게 형성한, 비채널영역 두께증가 형성 반도체부를 가지고 있는 것을 특징으로 하고 있다.

또한, 비정질 실리콘의 레이저에 의한 어닐링 시의 균질성 확보의 면에서는 2배정도 또는 300Å정도 두껍게 형성하는 것이 바람직하지만, 이것은 기판의 크기와 건식예칭의 정밀도의 병합으로 된다.

청구항 10의 발명에서는, 반도체박막은 절연재와 동 계통이며 또한 액정표시장치에 사용되는 실리콘, 실리콘 게르마늄 또는 실리콘 게르마늄-탄소로 이루어지는 실리콘계통 반도체 박막이다.

또한, 본 발명의 제2의 발명군의 청구항 11의 발명에서는 제1의 발명군과 동일한 목적, 용도의 반도체 소자의 제조방법에 있어서, 통게이트형, 바텀게이트형 중 어느 형의 트랜지스터 소자에 있어서도, 소스전극 및 드레인 전극과 반도체막과의 사이에 양자의 전기적 접속을 확실하고, 아울러 콘택트홀 형성 시의 폴리실리콘막의 보호를 도모하기 위해, 말하자면 양 전극의 일부(최하층)로서의 실리콘사이드층을 마련하고 있다.

청구항 12의 발명에서는, 청구항 11의 발명의 실리콘사이드로서, 실리콘과 반응의 제어가 하기 쉽고, 게다가 비결정질 실리콘이나 레이저어닐로 제조한 폴리실리콘은 글래스기판의 내열온도(약 600°C)보다도 낮은 온도로 실리콘사이드를 형성하는 티탄, 니켈, 플라티나, 또는 코발트 등에서 선정된 금속의 화합물을 선정하고 있다. 또한, 매우 큰 결정인 크리스탈실리콘의 경우에는 특별한 촉매라도 사용한다면 다르지만, 이들의 금속에 있어서도 실용상 필요한 실리콘사이드를 형성하기 위해서는 600°C 이상의 온도가 필요하다.

청구항 13의 발명에서는, 청구항 11의 발명의 소스전극 및 드레인 전극은 각각 복수의 금속층으로 이루어지는 복수층 소스전극 및 복수층 드레인 전극이며, 실리콘사이드층 형성스텝에 앞서, 복수층 소스전극 및 복수층 드레인전극이 형성되는 부분에 티탄, 니켈, 플라티나 또는 코발트에서 선택된 적어도 1종류의 금속막을 실리콘막 상에 복수층 소스전극 및 복수층 드레인전극의 최하층의 층으로서 형성하는 최하층막